

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-232917

(43)Date of publication of application : 19.08.1994

(51)Int.Cl.

H04L 25/03

H04B 1/06

H04B 1/18

H04B 14/04

(21)Application number : 05-306081

(71)Applicant : AMERICAN TELEPH & TELEGR CO
<ATT>

(22)Date of filing : 12.11.1993

(72)Inventor : OTA YUSUKE
SWARTZ ROBERT G

(30)Priority

Priority number : 92 976037

Priority date : 13.11.1992

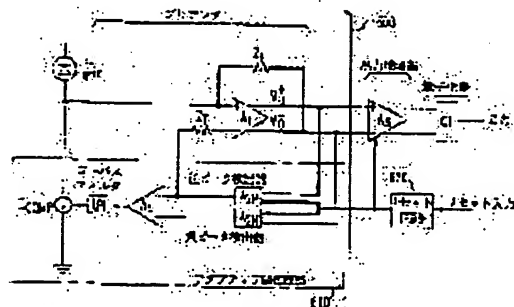
Priority country : US

(54) DIGITAL DATA RECEIVER

(57)Abstract:

PURPOSE: To lower the sensitivity of a data receiver to dc dark level light and to improve the input data signal detection sensitivity and precision by removing a direct current(dc) or low-frequency current generated by a photodiode at the input terminal of the data receiver.

CONSTITUTION: The peak values of the outputs V_{o+} and V_{o-} of an input amplifier A1 are inputted to a comparing amplifier A4 through peak detecting circuits A2P and A2N and converted into a dc difference signal ICOMP. Then this signal is subtracted from an input signal I_{in} to establish a dc feedback loop in a dark level compensator circuit 600. This loop cancels an input dark current together with all other dc offset signals to eliminate the difference output of the dc signal of the amplifier A1 to 0. Once the circuit A2P sets $I_{in}ZT/2$ as a logical threshold value, the differential outputs of the amplifier A1 vibrate vertically symmetrically about the logical threshold value. Therefore, positive and negative peak amplitudes and the outputs of the circuits A2P and A2N become uniform. Then a difference voltage to the amplifier A4 becomes 0 and the output of ICOMP of the amplifier A4 never vary.



LEGAL STATUS

[Date of request for examination]

11.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 2991911

[Date of registration] 15.10.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-232917

(43)公開日 平成6年(1994)8月19日

(51) Int. Cl.⁵

識別記号

厅内整理番号

FI

技術表示箇所

11041, 25/03

E 9199-5K

H.O. 4 B 1/06

A 7240-5K

1/18

L 9298-5K

14/04

Z 4101-5K

審査請求 未請求 請求項の数 9 F.D. (全 13 頁)

(21)出題番号

特願平5-306081

(22)山題日

平成5年(1993)11月12日

(31) 優先權主張番号

9 7 6 0 3 7

(32)優先日

1992年11月13日

(33)優先權主張国

米國 (U S)

(71)出願人 390035493

アメリカン テレフォン アンド テレグ
ラフ カムパニー

AMERICAN TELEPHONE
AND TELEGRAPH COMPA
NY

アメリカ合衆国 10013-2412 ニューヨ
ーク ニューヨーク アヴェニュー オブ
ジ アメリカズ 32

(74)代理人 弁理士 三俣 弘文

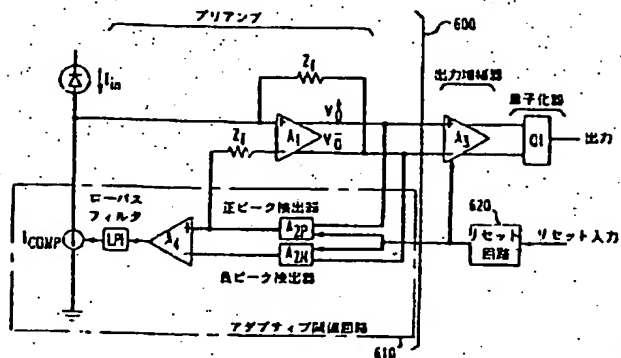
最終頁に続く

(54)【発明の名称】 デジタルデータ受信機

(57) 【要約】

【目的】 バーストモード受信機が本来的に解決しようと企図した a c 結合に伴う全ての問題を解決したデジタルデータ受信機を提供する。

【構成】 光バスと共に使用するための d c 結合パケットモードデジタルデータ受信機は、ピーク検出器を使用し、データバーストの開始時点で瞬時的な論理閾値を適応的に確立する。ピーク検出器の出力にตอบสนองする d c 補償器は、受信機の入力からの“暗レベル”光信号に対応する d c または低周波数電流を分流する。



【特許請求の範囲】

【請求項1】 デジタルパケットデータ入力信号を受信する第1の入力手段、基準信号を受信する第2の入力手段及びデータ出力信号を出力する出力手段を有するd c結合差動入力増幅器回路(A₁)と、前記データ出力信号のピーク振幅を検出し記憶し、かつ前記基準信号を発生する検出手段(A_{2p}、A_{2N})と、前記検出手段により記憶されたパケット完了リセット信号に応答して、受信したデータ入力信号が存在しない間前記検出手段により記憶される初期d c電圧にほぼ等しいノンゼロd c電圧に、前記検出手段により記憶された前記データ出力信号を放電するリセット手段(620)と、を具備するデジタルデータ受信機。

【請求項2】 前記リセット手段は、前記初期d c電圧の所定の電位差以下になるまで急速に前記記憶されたデータ出力信号を放電する粗リセット手段A_{6A}と、前記初期d c電圧が到達するまでゆっくりと前記記憶されたデータ出力信号を放電する微細リセット手段A₆と、を具備する請求項1の受信機。

【請求項3】 第1の検出手段は、データ出力信号のピーク振幅を記憶するコンデンサ手段C_{pd}を、前記リセット手段は、前記リセット信号に応答して、前記コンデンサ手段を放電し、応答しない他の時間は切り放されている切り替え可能電流供給手段(SC、SF)を有する請求項1の受信機。

【請求項4】 前記入力増幅器回路出力手段に接続された入力と、受信機出力信号とを有する出力増幅手段A₃と、前記リセット信号に応答して、前記出力増幅器手段を不動作状態にする手段(A₃、620)と、をさらに具備する請求項1の受信機。

【請求項5】 デジタルパケットデータ入力信号を受信する第1の入力手段、基準信号を受信する第2の入力手段及びデータ出力信号を出力する出力手段を有するd c結合差動入力増幅器回路A₁と、前記データ出力信号のピーク振幅を検出し記憶し、かつ前記第1の基準信号を発生する検出手段A_{2p}と、前記データ出力信号の第2のピーク振幅を検出し記憶し、かつ前記第2の基準信号を発生する検出手段A_{2N}と、前記第1及び第2の基準信号に応答して、前記データ入力信号のd cまたは低周波数電流の一部を前記第1の入力手段から分流する手段(A₄)と、パケット完了リセット信号に応答して、受信したデータ入力信号が存在しない間前記検出手段により記憶される

初期d c電圧とほぼ等しいノンゼロ電圧に、前記各出力信号検出手段により記憶された前記データ出力信号を放電するリセット手段(620)と、を具備するデジタルデータ受信機。

【請求項6】 前記リセット手段は、前記初期d c電圧の所定の電位差以下になるまで第1の放電比率で各検出手段に記憶されたデータ出力信号を放電する粗リセット手段(A_{6A})と、前記初期d c電圧が達せられるまで、前記第1の放電比率より小さい第2の放電比率で前記記憶されたデータ出力信号を放電する微細リセット手段(A₆)と、を具備する請求項5の受信機。

【請求項7】 前記第1及び第2の検出手段は、前記データ出力信号のピーク振幅を記憶するコンデンサ手段C_{pd}を、前記リセット手段は、前記リセット信号に応答して前記コンデンサ手段を放電し、その他の全ての時間は切り放されている切り替え可能電流供給手段(SC、SF)を有する請求項5の受信機。

【請求項8】 前記入力増幅器回路の出力手段に接続された入力及び受信機出力信号を供給する出力とを有する出力増幅手段(A₃)と、前記リセット手段からの前記リセット信号に応答して前記出力増幅器手段を不動作状態にする手段(A₃、620)と、を具備する請求項5の受信機。

【請求項9】 受信したデジタル光信号を電子データ信号に変換する受信及び変換手段(P_{DI})と、前記電子データ信号を受信する第1の入力手段と第1の基準信号を受信する第2の入力手段及びデータ出力信号を出力するための出力手段とを有するd c結合差動入力増幅器回路(A₁)と、前記データ出力信号の第1のピーク振幅を検出、記憶する第1の検出手段(A_{2p})と、前記データ出力信号の第2のピーク振幅を検出、記憶し、かつこれに응答しd cまたは低周波電流の一部を前記データ入力信号から分流する第2の検出手段(A_{2N})と、パケット完了リセット信号に응答して、受信したデータ入力信号が存在しない間前記検出手段により記憶される初期d c電圧とほぼ等しいノンゼロ電圧に、前記検出手段により記憶された前記データ出力信号を放電するリセット手段(620)と、を具備する光信号受信機。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタルデータ受信機に関する。更に詳細には、本発明はパケットモードデジタルデータを受信する受信機に関する。

【0002】

【従来の技術】常用のデータ通信に関する要件は明確な論理閾値の確立である。金属配線系ではこの目的のために所定のd c（直流）論理レベルを使用する。これは、絶対的な信号レベルが事前に分からない光系では不十分である。従来の解決法は、受信機と論理量子化器との間をa c（交流）結合することである。

【0003】この解決法の場合、d c論理閾値レベルは、受信データパルスの“信号平均”を生成することにより確立される。平均を超える信号は論理1と見做され、平均未満の信号は論理0と見做される。a c結合受信機は連続的なデータ伝送に関して十分に役立つが、信号の時間平均が連続的かつ予測不能に変動するバーストモードデータ伝送には殆ど役立たない。

【0004】これに対して、高速d c結合受信機は、理想的にはバーストモード動作に適しているが、受信データパルスのd c中心（データ信号の最小及び最大偏位の合計の1/2）の数ミリボルト内に論理基準電圧レベルを確立する必要があるため、実現困難なことが立証された。

【0005】米国特許第5025456号は、バーストモードデータ受信機を使用することにより前記問題を解決した。このバーストモードデータ受信機は入来バーストデータバケットの増幅が可能であり、論理閾値電圧をd c中心に自動的に（理想的には、入力データバーストの第1ビットの間に）調整する。

【0006】現在、バケットデータ伝送は光バス通信システムにより送られている。この事実は、1992年2月発行の“ジャーナル・オブ・ライトウエーブ・テクノロジー (Journal of Lightwave Technology)”，Vol. 10, No. 2に掲載されたユースケ・オータ (Yusuke Ota) らの「光バス用途のDC-1Gb/sバーストモード互換受信機 (DC-1Gb/s Burst-Mode Compatible Receiver for Optical Bus Applications)」と題する論文に記載されている。バスシステムでは、前記の問題は一層困難な問題になっている。なぜなら、現在、バス媒体は多数の光送信機により時分割されているからである。

【0007】これらのバスシステムは、従来の受信機に2つの新たな制約条件を課する。第1の制約条件は、出力レベルが大幅に変動する異なる送信機から間隔が非常に狭いバケットデータを受信機が受信しやすいことである。例えば、或るバケットは-15 dBmの電力レベルで到着し、続いて、数ビット後に、-35 dBmの電力レベルを有する別のバケットが到着する。受信機は、時間的に数ナノ秒しか分離されていない広範なバケット振幅を処理できなければならない。

【0008】第2の制約条件は、送信機のレーザ光源を“on”から完全に極めて迅速に“off”にターンさせることが困難なため、レーザは一般的に、バイアスがかけられており、そのため、レーザは通常、僅かに“o

n”のままている。しかし、多数のレーザをバスに実装する場合、各レーザはいつでも僅かに“on”の状態にあり、発生するd c“暗レベル”光は、検出しようとする若干の弱a c信号よりも高くなり易い。

【0009】従って、d c光レベルの感度を除去するための高域フィルタと同等なものに対する必要がある。高域フィルタを導入する最も容易な方法は、信号を単にa c結合するだけである。しかし、これによれば、バーストモード受信機が本来的に解決しようと企図したa c結合に伴う全ての問題を再び蒸し返すこととなる。

【0010】

【発明が解決しようとする課題】従って、本発明の目的は、バーストモード受信機が本来的に解決しようと企図したa c結合に伴う全ての問題を解決したデジタルデータ受信機を提供することである。

【0011】

【課題を解決するための手段】本発明によれば、デジタルデータ受信機は、デジタルバケットデータ入力信号を受信するd c結合差動入力増幅器回路、信号のピーク振幅の検出と記憶をする検出器回路、及びバケット完了リセット信号に応答するリセット回路を具備する。リセット回路は、受信する入力信号が存在しない間検出回路により記憶された初期d c電圧とほぼ等しいノンゼロ電圧にピーク振幅信号を放電する。

【0012】本発明の他の態様によれば、リセット回路はリセット信号により作動する粗リセット回路及び微細リセット回路を具備する。粗リセット回路は、記憶された電圧が初期d c電圧の断られた後に初期d c電圧が所定の電圧以下になるまで、急速に検出回路を放電する。微細リセット回路は、初期d c電圧が遡るまでゆっくりと検出器を放電する。第1の実施例において、本発明のリセット回路は先に引用した米国特許第5,025,456号で記述した従来技術のデジタルデータ受信機と連動するように設計されている。

【0013】第2の実施例において、本発明のリセット回路は先に引用した我々の関連特許出願のデータ受信機を操作するように調整されている。これらの設計では、データ受信機は、入力データ信号を受信するための第1の入力を有するd c結合差動入力増幅器回路と、第1の基準信号を受信するための第2の入力と、増幅器出力を有するd c結合差動入力増幅器回路を具備する。

【0014】第1のピーク検出器は増幅器出力データ信号のピーク振幅を検出、記憶し、更にそこから第1の基準信号を発生させる。第2のピーク検出器は増幅器出力データ信号の負（最小）ピーク振幅を検出、記憶し、更にそこから第2の基準信号を発生させる。第1及び第2の基準信号に応答して、d c補償器は増幅器の第1の入力に与えられるデータ入力信号のd cまたは低周波電流の一部を分流する。

【0015】本発明によれば、リセット回路は、受信さ

れたデータ入力信号が存在しない間、前記ピーク検出器内に記憶される初期d c電圧にほぼ等しいノンゼロ電圧になるまで各ピーク検出器の電圧を放電する。リセット信号は受信機の他の回路をリセットするためのものである。このリセット回路は、受信機が広い調整範囲の電力レベルを有する微細な間隔のバケットデータ信号をより効果的に調整できるようにする。

【0016】

【実施例】以下、図面を参照しながら本発明を更に詳細に説明する。

【0017】図1は従来技術によるバーストモード受信機のアーキテクチャである。このアーキテクチャは米国特許第5025456号明細書（発明の名称：“バーストモードデジタルデータ受信機”）に開示されている。このアーキテクチャは、各信号バーストの初期段階に決定される“瞬時論理閾値”（VREF）を確立する。

【0018】この論理閾値レベルは、通常、a c結合受信機で確立されるd c信号平均に取って代わる。論理閾値VREFはピーク入力信号の半振幅点と同等にセットされ、その後の信号振幅はこのレベルを基準とする。閾値の決定は極めて迅速でなければならない。理想的には、信号バーストにおける第1ビットの結論により完了される。

【0019】図2は典型的なバーストモードデジタルデータ入力を示す波形図である。図2において、符号201はバーストモード受信機に入力されるバーストモードデジタルデータを示し、符号202は量子化器出力を示す。

【0020】図1を参照する。受信機は4個のブロックを有する。差動入力／出力トランスインピーダンス増幅器（A1）、高速ピーク検出器（A2）、光利得増幅器（A3）及び量子化器回路（Q1）である。量子化器回路Q1は、受信機から出力されたアナログ信号を、この回路に接続された回路類と互換性のある電圧レベル（例えば、ECL）において完全なデジタル0または1信号に変換する。

【0021】受信機は次のように動作する。データが存在しない場合、ピークホールドコンデンサCPDは放電される。データが到着すると、光検出器PDIは光電流I_{in}を発生し、増幅器A1の差動出力電圧は、 $V_0 + -V_0 = \Delta V_0 = I_{in} Z_T$ （ここで、Z_TはA1の正入力と負出力との間のトランスインピーダンス（フィードバックレジスタ）である）となる。

【0022】従って、A1の差動出力のうち的一方（従って、正味の出力振幅の半分）はピーク検出器によりサンプリングされ、そして、CPDに記憶される。この半振幅基準レベル（ $I_{in} Z_T / 2$ ）はA1の相補（負）入力へ入力される。斯くして、論理閾値VREFを確立する。ピーク検出器は極めて急速に充電する。しかし、バースト内の最初の数ビット中に、出力のパルス幅に若干の歪みが存在することがある。

【0023】論理レベル獲得は、ピーク検出器コンデンサCPDのサイズを低下することにより促進される。しかし、CPDはA1及びA2の周囲のピーク検出器フィードバックループを安定化させるためにも使用される。CPDが小さすぎる場合、ピーク検出器ループは結果的に不安定になる。

【0024】図1の受信機の光バス用途では、2つの問題が新たに生起する。第1の問題は、広範に変動する信号振幅を有する光バケットはバス上に間隔が接近して出現する。これは図2の符号203で示される。バケットPK1（第1の送信機から）及びPK2（第2の通信機から）は同じタイムスロット幅T1を有し、また、バケットPK1はバケットPK2よりも著しく高い信号振幅を有する。

【0025】図1の回路では、大きな振幅のバケットPK1閾値がCPDに記憶された後、この回路は小さな振幅のバケットPK2とノイズとを区別できなくなる。従って、このようなバケットはCPDを放電させるために十分に長い時間間隔（例えば、図2の符号203で示されるT2）により分離されなければならない。

【0026】図3の符号310で示されるように、光電流I_{in}(1)及びI_{in}(2)は受信された光信号電力P1及びP2に比例し、I_{in}(1)はI_{in}(2)よりも遥かに大きい。符号320で示される事例では、ピーク検出器出力は第1の大きなI_{in}(1)信号（パルス0）により決定され、また、このピーク検出器出力は大きすぎるので、第1の後のI_{in}(2)パルス（パルス1）は量子化器回路Q1の論理スライスレベル331に達することはできない。

【0027】次いで、図3の符号340で示されるように、量子化器回路Q1の出力ビット1は完全に欠落し（点線で示されている）、ビット2は大きなパルス幅歪み（図3の符号340で示された事例において）を受ける。

【0028】光バス用途における第2の問題は、低周波致“暗レベル”光電力である。図4はレーザダイオードの動作レベルを示すグラフ図である。高速における“真”OFF（すなわち、P0、I0）とON（すなわち、P_{on}、I_{on}）状態の間で送信機のレーザダイオードを変調させることは実際的ではない。

【0029】従って、レーザは電流I_{off}（レーザ動作閾値電流（I_{th}）よりも僅かに低い）において一般的に、OFFバイアスがかけられる。この場合、OFF状態であっても若干光出力（P_{off}）が存在する。消滅比（P_{on}/P_{off}）は一般的に、10～20である。

【0030】従って、バス上の多くのレーザの場合、暗（全off）光レベルはNP_{off}である。ここで、Nはレーザの個数である。この光レベルは個々のレーザのO

N状態光レベルにほぼ等しい。更に、バケット間の受信光電力における許容変動が100:1なので、暗レベル信号の光電力は若干のバケットのバースト信号レベルを大幅に超えることがある。

【0031】現在のdc結合バケットデータ受信機アーキテクチャでは、論理閾値は $I_{in} ZT / 2$ である。ここで、 I_{in} は最大光信号入力 P_{in} に対応する入力信号である。

【0032】図5を参照する。暗レベル電流の存在下では、 $I_{in} ZT / 2$ に等しい“真”論理閾値よりもむしろ、 $(I_{dark} + I_{in}) ZT / 2$ に等しい“偽”論理閾値TH1が確立される。符号501で示されるように、 $I_{dark} < I_{in}$ である場合、符号503で示されるように、適正な入力信号検出は依然として有望である。しかし、符号501で示されるように、 $I_{dark} \geq I_{in}$ である場合、偽閾値TH1は、符号505で示されるような適正な検出よりもむしろ、符号504で示されるように入力信号を不適正に検出させる。

【0033】図6は本発明の新規な回路の構成を示す増幅機能ブロック図である。図1におけるA1に対応するプリアンプは差動入力/出力トランスインピーダンス増幅器である。アダプティブ閾値回路610は図1におけるピーク検出器(A2, BX, BY, CPD)を改変し機能を高めた改造版である。出力増幅器はA3に対応する。バケット閾値リセット回路(以下「リセット回路」という)620はデータバケット間のピーク検出器コンデンサをゼロ化する新規な機能が付加されている。この新規な性能については下記で詳細に説明する。

【0034】リセット機能は各ピーク検出器回路に採用されており、ピーク検出器コンデンサを急速かつ正確にゼロ化させる。データバケットの終局(図2のT2)においてリセット回路620を起動することにより、受信機は、短いリセット間隔の後に、新たな論理閾値(例えば、かなり低いレベルにおける論理閾値)を確立するように準備される。暗レベル光に関する問題は、“暗レベル補償器”(Darcom)回路(プリアンプA1とアダプティブ閾値回路610を含む)により処理される。

【0035】“暗レベル補償器”(Darcom)回路は I_{in} の低周波数入力信号(I_{comp})部分を測定し、そして、これを分流するかまたは減算する。更に、下記で説明するように、ピーク検出器回路(A2P, A2N)は、安定性を高めるように改変されており、ピーク検出器トラッキングの精度が向上する。

【0036】暗レベル補償器(Darcom)回路
図6は暗レベル補償器回路のブロック図である。Darcom回路600は、入力増幅器A1、正ピーク検出器A2P、負ピーク検出器A2N、比較増幅器A4およびローパスフィルタLP1からなる。検出器A2Pは増幅器A1の正出力のピーク値をサンプリングする。検出器A2Nは増幅器A1の負出力のピーク値をサンプリングする。

【0037】増幅器A1の差動出力(V_{0+} および V_{0-})のために、正および負ピーク検出器A2P及びA2Nは同じ回路として実現させることができる。従って、トラッキング精度の整合が保証され、その結果、全体的な正確性が向上する。最大入力振幅(例えば、図5のTH2)の半分に等しい論理閾値をセットするために、検出器2Pは増幅器A1と共に使用される。

【0038】Darcom回路600は、ピーク検出器回路(A2P, A2N)のスベグトル特性をあてにする。ピーク検出器コンデンサの放電時間により下端に結合された高周波数範囲では、ピーク検出器回路(A2P, A2N)は単一利得を有するピークサンプリング回路として作用する。しかし、低周波数では、ピーク検出器コンデンサは十分な放電時間を有し、その結果、A2P及びA2Nは単なる単一利得増幅器である。

【0039】A2P及びA2Nの出力は入力電流 I_{in} の低周波数変動を追跡するが、下記では、説明を簡単にするために、これらの低周波数変動を“dc” I_{dark} 電流と呼ぶ。従って、A2P及びA2Nは、増幅器A1の正及び負出力(V_{0+} および V_{0-})のピーク値を入力として比較増幅器A4へ入力する。

【0040】図7に示されるように、これらのピーク検出器出力(V_{0+} および V_{0-})は、高周波数共通信号ピークと低周波数差分信号(暗レベルオフセット)の合計からなる。従って、暗レベルオフセット信号の不存在下では、ピーク検出器A2P, A2N出力は、図7において符号701の点線の電圧レベルにより示されるように出現するが、波形702は暗レベルオフセット信号の存在下における出力 $\Delta = A2P - A2N$ を示す。また、A4はローパスフィルタと一緒に、これを“dc差分”信号(I_{comp})に変換する。

【0041】“dc差分”信号(I_{comp})は入力信号 I_{in} から減算される。従って、dc(または低周波数)フィードバックループがDarcom回路600内に確立される。このループは、他の全てのdcオフセット信号(または低周波数オフセット信号)と共に入力暗電流(I_{dark})を相殺することにより、A1のdc(または低周波数)信号の差動出力を強制的にゼロにする。

【0042】前記のようなその他のオフセット信号は、増幅器A1の出力 V_{0+} および V_{0-} またはピーク検出器A2P又はA2Nから発生される。ローパスフィルタLP1は、Darcomフィードバックループを安定化させ、また、暗レベル信号の変動を平均化するのに役立つ。

【0043】正ピーク検出器A2Pにより論理閾値が $I_{in} ZT / 2$ として適正に確立された場合、A1の差動出力は論理閾値の上下に対称的に振動する。従って、正および負ピークの振幅は均等である。従って、A2P及びA2Nの出力も均等である。斯くして、増幅器A4への差動電圧はゼロであり、その結果、比較増幅器A4の出力における I_{comp} の正味の変動は全く発生しない。これは図7

における符号701で示された“理想的”ケースとして例証されている。

【0044】実際、Darcom回路600は高周波数入力は無視するが、dc（または低周波数）出力成分は強制的にゼロにする。Darcom回路600の適正な動作は正確なトラッキングと2個のピーク検出器A2P及びA2Nの整合により左右される。正ピーク検出器A2Pが不正確である場合、不適正な論理閾値が確立され、その結果、ピーク検出器出力は対称的にならない。これは、図7にける符号702の波形により例証されている。これは、これ自体が差動プリアンプA1出力電圧（V0+ - V0-）におけるオフセットとして現われる。

【0045】同様に、ピーク検出器A2P及びA2Nが互いに正確に整合しない場合、この不整合もまたプリアンプA1出力のオフセットとして出現する。このような差動オフセット電圧は増幅器の感度を低下させるか、または、偽デジタル論理0または1信号を発生しがちである。また、ピーク検出器A2P及びA2Nが正確であり、精密に整合されていたとしても、現在の計画はデータフォーマットへ制約条件を付ける。このような制約条件は、ピーク検出器が急速に充電され、そして、出来るだけ長い間、この荷電を保持している場合に、最も緩和される。

【0046】前記の計画によれば、原則として、ノイズに対する考慮を除いて、暗電流I_{dark}の許容サイズには何の制限も存在しない。更に、Darcom回路600は主信号経路から入力スペクトルの低周波数部分を減算するが、その情報はA4出力におけるその他の目的（例えば、監視）に依然として利用可能である。

【0047】ピーク検出器A2P及びA2Nトラッキング及びフィードバックループ安定性を改善するために、図1に示された従来技術のピーク検出器回路に対して2つの変更を施した。下記の記載において、ピーク検出器A2P及びA2Nは同様な回路を使用し、また、同様な方式で動作するので、正ピーク検出器A2Pの動作についてのみ説明する。以下、図1及び図8を併せて参照しながら説明する。下記で詳細に説明するように、図8における点線で開かれたブロック部分は入力電圧信号を受信するための代替実施態様を例証する。

【0048】トラッキングの正確性を高めるために、ピーク検出器回路A2Pの利得は僅かに増大された。図1に示されたピーク検出器回路の場合、分數トラッキングエラー（ $V_{in} - V_0$ ）/ V_{in} は $1 / (1 + A)$ である。ここで、前記Aは増幅器A2の開ループ利得であり、 V_{in} 及びV0はA2、BX、BY及びCPDからなるピーク検出器の入力及び出力信号である。このエラーは利得Aの増大につれて減少するが、絶対にゼロにはならない。このエラーを最小にする方法は、図8に示されるようなピーク検出器に少量の利得を導入することである。A = $1 + R1 / R2$ の場合、分數トラッキングエラーが除去さ

れることを証明するのは容易である。

【0049】第2の変更は、ピーク検出器フィードバックループの安定性を高めるために取り入れられた。図1を参照する。このループは、ピーク検出器を通してA1の正出力から引き出し、その後、A1の負入力へ戻る経路として識別される。安定化には、このフィードバックループ内に単一の主要ポールが存在することが必要である。このため、普通は、トランジスタBXのエミッタ駆動抵抗と直列のピーク検出器コンデンサCPDによりセットされるように設計される。

【0050】しかし、あいにく、このループ内にはその他の多数のポールが存在する。例えば、A1及びA2の増幅器ポール及びA1の入力ポールなどが存在する。更に、BXの駆動抵抗は非常に小さいので、主要ポールを安定化させるために一層大きなコンデンサCPDが必要である。このループの安定性を限界点にまで高めることができる。

【0051】本発明では、CPDまたはBXのエミッタ駆動抵抗の何れかを増大することにより安定性を高める。あいにく、何方を増大させた場合でも、ピーク検出器の放電時間が増大され、その結果、回路動作が損なわれる。従って、フィードバックループの不安定性またはピーク検出器の緩慢放電の何方かを選択しなければならないものと思われる。ピーク検出器A2Pは(1) 充電又は(2) 保守からなる2種類のモードのうちの何れかで動作する。

【0052】充電モードの場合、増幅器A2に対する正入力は負入力よりも大きく、回路はピーク検出器コンデンサCPDへの充電をポンピングすることにより反応する。充電モードでは、回路は“スルー(slew)限定”である。同じく、ループ利得はゼロであり、その結果、安定性は解決される。

【0053】保守モードでは、増幅器A2に対する正および負入力は概ね等しく、充電ポンプBXは平均して、放電電流（BYのベース電流）を平衡させるのに必要十分な電流を供給する。このモードでは、安定性が論点なので、安定性は必ず達成されなければならない。

【0054】安定性は、図8に示されるように、充電トランジスタBXと直列に大きな直列抵抗RPDを配置することにより向上される。これは、RPD及びCPDによりほぼ決定される主要ポールの周波数を低下する。発生する損傷充電特性は、図8において増幅器A5および充電トランジスタBZとして図示されるような“スルー(slew)ブースタ”回路810を導入することにより修復される。スルーブースタ回路810は、制限直列抵抗なしに、直接CPDを充電する。

【0055】しかし、増幅器A5への入力は、A2の入力に関して僅かにオフセットされる(V_{OFF})。従って、スルーブースタは、入力V₀₊と記憶出力V_{OUT}との間の差が大きい場合、すなわち、>V_{OFF}の場合にの

み、“ON”される。CPDに記憶された電圧が最終値のV_{OFF}内にまで放電すると、スループースタ回路810は“OFF”され、そして、主ピーク検出器増幅器A2はその他の方法でCPDを平衡するまで充電する。

【0056】従って、スループースタ回路810は、回路が充電モードの状態にある場合にのみ、“ON”状態である。回路が保守モードである場合、スループースタ回路810は“OFF”状態であり、その結果、全体的なフィードバックループ安定性に悪影響を及ぼさない。

【0057】リセット回路

図2において符号203で示されるリセット回路は、パケットの終りのリセット信号に応答して、正及び負ピーク検出器回路A2P及びA2Nの両方とも非常に急速に放電するように設計されている。これにより、振幅が約10:1(P₁/P₂)まで異なるデータパケット(PK1, PK2)は、時間間隔(T₂)、例えば、4ビット期間(これは30Mbデータ信号の場合、約130nsに相当する)程度の短い間隔により分離させることができる。この間隔T₂(図2の符号203で示される)は“リセット間隔”と定義される。

【0058】図8を参照する。リセット回路は、共通のリセット可能回路820(リセット信号からリセット可能信号を発生する)と、リセット放電回路830(各ピーク検出器回路の一部である)を包含する。このリセット放電回路830は正ピーク検出器A2Pに関してのみ図示されている。

【0059】リセット回路は、速度、精度、“クランプ”機能、電力節約およびCMOS/TTL入力レベルなどの属性を提供する。

【0060】第1の属性である速度は、ピーク検出器コンデンサCPDを出来るだけ急速に放電またはクランプすることにより得られる。これは大きな放電電流(I_{DIS})しか必要としない。第2の属性である精度は、ピーク検出器コンデンサCPD電圧がその起動(データ不存)値に達したときに、放電電流I_{DIS}(クランプ機能)が即座に“OFF”されなければならないので、問題を面倒にする。ピーク検出器回路A2P内の初期バイアス電圧のために、この起動値はゼロボルトではない。

【0061】リセット間隔中にピーク検出器充電回路(すなわち、増幅器A2およびA5)を“OFF”させ、同様に、リセット間隔以外の全ての間中に放電回路(すなわち、増幅器A6)を“OFF”させるために、このクランプ機能が必要である。このクランプ回路は、パケット受信機出力(すなわち、増幅器A3)をリセット間隔中に明確な論理状態に強制するのに使用される。明らかに、増幅器A3が量子化器回路Q1の一部である場合、量子化器Q1はクランプ機能によりリセットされる。電力節約およびCMOS/TTL入力レベルはシステム要件である。

【0062】リセット放電回路830は次のように動作

する。比較増幅器A6はCPDに印加される電圧を精度基準電圧と比較する。この電圧が基準電圧V_{DIS}を超えている場合、スイッチSFを閉成し、放電電流I_{DIS}をCPDから抜き取る。精度基準電圧V_{DIS}は2段階画像回路として実現される。

【0063】図8の受信機により入力データが全く受信されない場合、電圧V_{DIS}は本質的に初期出力電圧V_{OUT}を示す。第1段階A1iは入力増幅器A1のコピーであるが、第2段階A2iはピーク検出器回路A2のコピーである。(ピーク検出器増幅器A2内で使用されている利得増大レジスタR1は第1画像段階A1iの出力840に対して参照される。)I_{DIS}は非常に大きいので、コンデンサCPDを急速に放電させるために、増幅器A6放電ループによる時間遅延は短くなければならない。さもなければ、コンデンサCPDは非常に緩慢に放電するであろう。

【0064】同様に、増幅器A6の利得は正確な放電を保証するために大きくなければならない。幸いにも、安定性は増幅器A6ループの関心事ではない。なぜなら、増幅器A6ループはコンデンサCPDを放電させるだけであり、コンデンサを充電させることはできないからである。すなわち、発振を起こさせる回復力は存在しないからである。

【0065】クランプ機能は図8のリセットブロック820により行われる。この回路ブロックはリセット入力信号をリセット可能クランプ信号に変換し、また、放電電流I_{DIS}を“ON”および“OFF”させる。これは、リセット入力信号が存在しない場合に、リセット放電回路830の電力消費量を最小にすることにより電力を節約する。

【0066】図9には、第1図の先行技術の回路に用いらる本発明のリセット回路の実施例を示す。本実施例において、リセット回路は、図に示すように接続されたリセット放電回路830、850、リセット作動回路820、精密基準A1i、A2i及び抵抗R1、R2を有する。図9において示したリセット回路830、850は、図8を引用して前述した同じ回路を用いて完成され、同じ方法で操作するので、これ以上の詳細な説明は省略する。

【0067】別の実施態様では、リセット放電回路は粗放電回路850と細放電回路830を包含する。(細放電回路用にリセット放電回路を使用する場合、放電電流源I_{DIS}を微小電流値に調整しなければならない。)粗放電回路850は前記の放電回路830と同様に動作する。但し、電圧V_{OUT}とV_{DIS}の差がオフセット電圧V_{OFF}を超えなければ粗放電回路850は起動されない。

【0068】起動された場合、粗放電回路850はスイッチSCを電流源I_{DIS}2に接続可能し、コンデンサCPDを放電させる。V_{OUT}はV_{DIS}よりも大きいので、細放電回路830も起動される。従って、V_{OUT}がV_{DIS}+

V_{OFF1}よりも大きい場合、粗放電回路850および細放電回路830の両方とも同時にコンデンサCPDを放電させる。DIS2はDISよりも遥かに大きいので、DIS2が本質的に放電速度をコントロールする。

【0069】電圧V_{OUT}が低下し、そして、V_{DIS} + V_{OFF1}に達したら、粗放電回路850はコンデンサCPDから電流源DIS2を切断する。その後、細放電回路830だけがコンデンサCPDを放電し、緩慢で、一層正確にコントロールすることができる放電速度を保証する。粗放電回路と細放電回路を併用することにより、リセット放電回路は、(1) 高電力レベルバケットデータからピーク電圧のコンデンサCPDを急速に放電させることができ、(2) コンデンサCPDを所望の電圧V_{DIS}にまで極めて正確に放電させることができる。

【0070】低電力バケットデータの場合、粗放電回路850は全く使用されない。斯くして、リセット放電回路は、最終放電電圧のコントロールの正確性を犠牲にすることなく、放電速度を増大させることができる(すなわち、迅速な放電を保証する)。この構成によれば、リセット回路は、過大な放電速度による行き過ぎなしに、コンデンサCPDを急速、かつ、正確に放電させることができる。速い放電速度は、数十〜数百Mb/sの範囲に及ぶデータ速度について数ビットタイム以内に受信機を確実にリセットできるようにする。

【0071】コンデンサCPDの最終放電電圧の設定の正確性は、隣接するバケットデータ電力に関する受信機の動的入力信号範囲を確実に約100:1にすることを可能にする。すなわち、受信機は、直ぐ後に100倍以上も高いレベルのバケットデータ信号が続く低レベルバケットデータを受信することができる。

【0072】差動出力を有するトランスインピーダンスプリアンプA1を利用するデジタルデータ受信機の完成について説明してきたが、単一の最終出力を有する増幅器も使用できる。このような実施態様の場合、出力増幅器A3は単一の入力に有する。更に、このような実施態様では、負ピーク検出器A2Nは、BX、BYおよびBZについて使用されているNPNタイプのトランジスタの代わりに、PNPタイプのトランジスタを使用する“最小レベル”検出器となる。

【0073】従って、検出器A2Nは、(前記の実施例で発生された負ピーク電圧を示す最大電圧よりもむしろ)最小電圧を示す最小レベル電圧を発生する。この場合、暗レベルオフセットは、A2Nの出力と画像回路A11の出力に類似の新たな基準電圧との間の差、すなわち、暗レベル信号が存在しない増幅器A1出力により決定される。

【0074】その後、比較増幅器A4は、検出器A2Nから出力された最小ピーク電圧とこの新たな基準電圧との間の差を受信する差動増幅器のままでいる。次いで、この差動増幅器はローパスフィルタと一緒に、増幅

器A1へ入力される前に、I_{in}から減算または分流されるdc電流I_{comp}を発生する。

【0075】更に、本発明は増幅器A1をトランスインピーダンス増幅器から電圧増幅器へ変更することにより、(電流入力信号よりもむしろ)電圧入力信号により使用することができる。これは、光検出器PDIを、特定の出力インピーダンスの電圧信号源VSで置換することにより実現される。

【0076】このような構成は、光検出器PDIを図8の点線ブロック860および870で示された回路で置換する。この場合、電圧源VREF1はdcバイアス電圧であり、電圧源VSは入力電圧信号である。ブロック860および870内の抵抗器Z_{IN}は増幅器A1をトランスインピーダンス増幅器から電圧増幅器へ転用する。

【0077】ここで説明した実施例では、アナログ回路ブロックは実際に周知のECLゲートか、または、ECLゲートを簡単に変更したものの何れかである。ECLゲートは電流源ロードとこれに続くエミッターフォロアステージを有する差動対からなる。これらの回路は、僅かな利得しか与えないが、生得的に非常に高速である。

【0078】入力増幅器、出力増幅器、ピーク検出器A2PおよびA2N、増幅器A5およびA6、及び精度基準A11およびA2iは米国特許第5025456号明細書などに詳記された回路を用いることにより完成させることができる。

【0079】前記の実施例ではバイポーラ集積回路技術を用いているが、FETなどのようなその他の回路技術も当然使用できる。

【0080】例えば、シリコン、ガリウム砒素またはその他の適当な半導体材料を使用して回路を完成させることができる。更に、図8に示した増幅器回路機能を完成させるためにその他の周知回路も使用することができる。

【0081】更に、本発明をバーストモードで動作されるバケットデータシステムで使用する受信機として説明したが、本発明は連続的なデータ伝送を利用するシステムにおいても当然使用することができる。本発明を光信号による用途について説明したが、本発明は光信号以外の信号系についても使用できる。

【0082】

【発明の効果】以上説明したように、本発明によれば、デジタルデータ受信機は最小及び最大振幅の受信入力信号を検出し、そして、この受信入力信号から、データ受信機の入力端に入力されるべきデータ入力信号から減算すべきdcまたは低周波数電流を決定する。この電流分流通成は、前記の問題のある“暗レベル”光信号にตอบสนองして、データ受信機に対する入力端において、ホトダイオードにより発生されたdcまたは低周波数電流を殆ど除去する。その結果、本発明のデータ受信機はdc“暗レベル”光に対する感度が飛躍的に低下され、それによ

り、入力データ信号検出の感度及び精度が格段に向上する。

【図面の簡単な説明】

【図1】米国特許第5 0 2 5 4 5 6号明細書に開示された従来技術のバーストモード受信機回路のブロック図である。

【図2】(1) バーストモード間欠信号伝送源および(2) パケットモード間欠複数伝送源の2つのモードのうちの一方のモードで動作する光通信システム受信されたデータ波形を示す波形図である。

【図3】パケットモードで動作される図1の回路における光電流入力、ピーク検出器出力、プリアンプ出力および決定回路（量子化器）出力を示す波形図である。

【図4】レーザ電流の関数としてレーザ明度（または光出力 P ）を示す特性図である。

【図5】“暗電流”（本質的に dc 電流）がゼロでない場合における、図1の回路における光電流入力と決定回路受信機出力を示す波形図である。“ $TH2$ ”は ac 信号振幅の中心における“真”または理想論理閾値を示し、“ $TH1$ ”は暗電流を含む総入力振幅の半分において確立された偽論理閾値を示す。

【図6】“暗レベル”入力電流を処理するように変更さ

れたアダプティブ閾値回路および異なる電力レベルの間隔が接近したデータパケットの受信が可能なりセット回路を包含する本発明による“パケットデータ受信機”のブロック図である。

【図7】暗レベル信号が存在する場合と存在しない場合に、プリアンプA1の出力信号レベルとピーク検出器A2P及びA2Nの対応するレベルを示す波形図である。

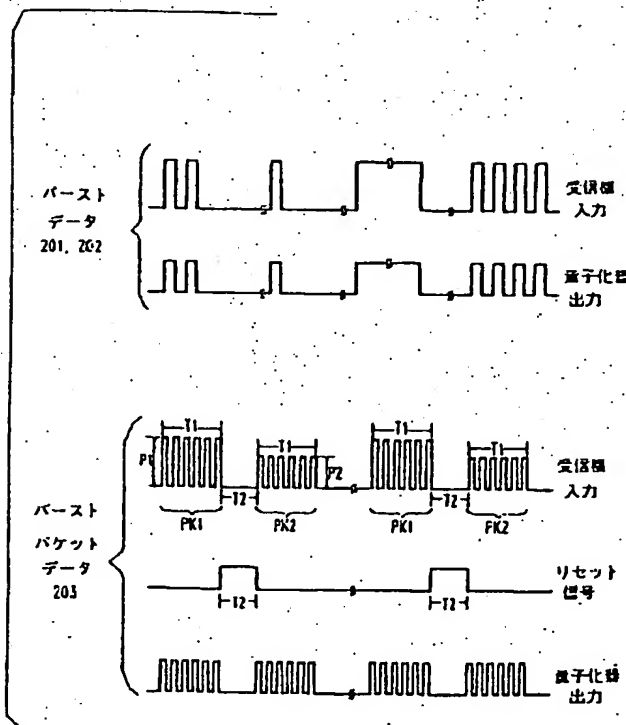
【図8】各々、ブースタスルー回路とリセット回路（ピーク検出器放電回路と精度基準を含む）を有する2個の同一のピーク検出器の詳細を示す本発明の受信機の詳細なブロック図である。

【図9】本発明によるリセット回路と組み合わせるのに用いられる米国特許第5, 0 2 5, 4 5 6号の従来技術のバーストモード受信機回路のブロック図である。

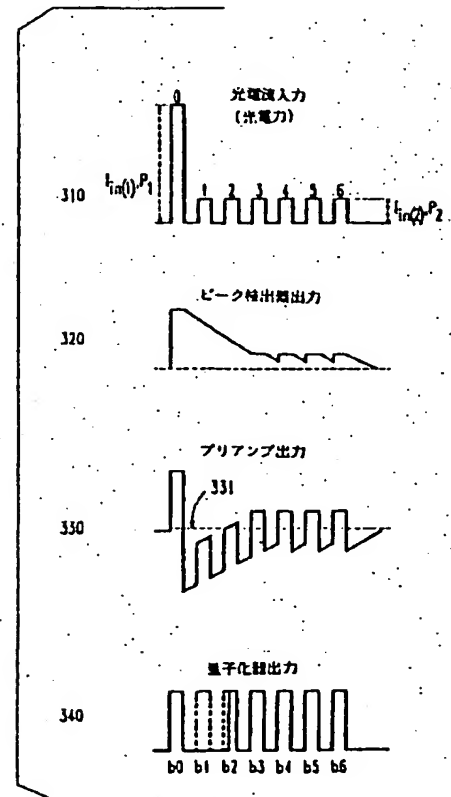
【符号の説明】

- 6 0 0 暗レベル補償器回路
- 6 1 0 アダプティブ閾値回路
- 6 2 0 リセット回路
- 8 1 0 スルーブースタ回路
- 8 2 0 リセット可能回路
- 8 3 0 細放電回路
- 8 5 0 粗放電回路

【図2】

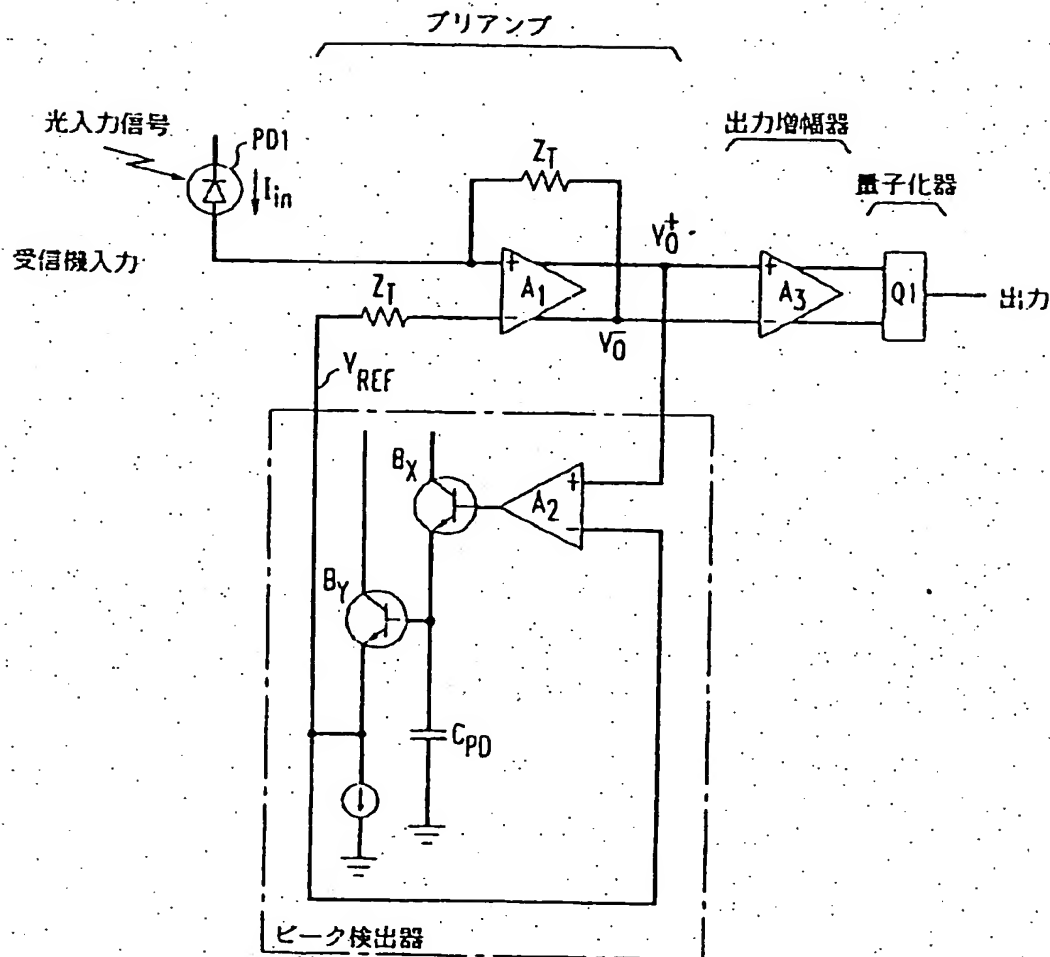


【図3】

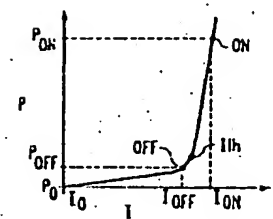


【図1】

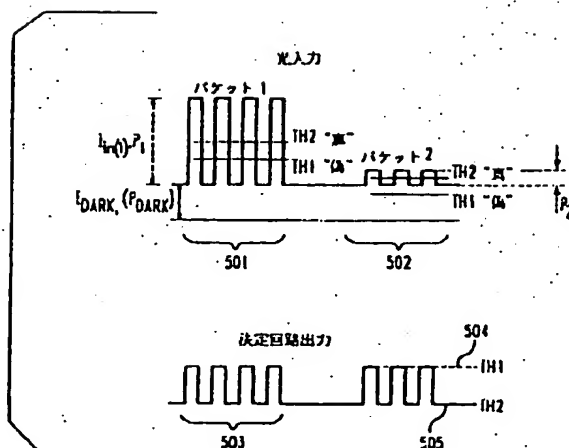
(従来技術)



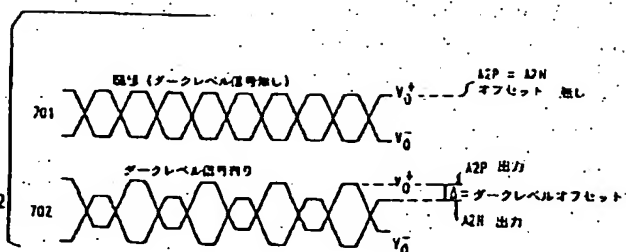
【図4】



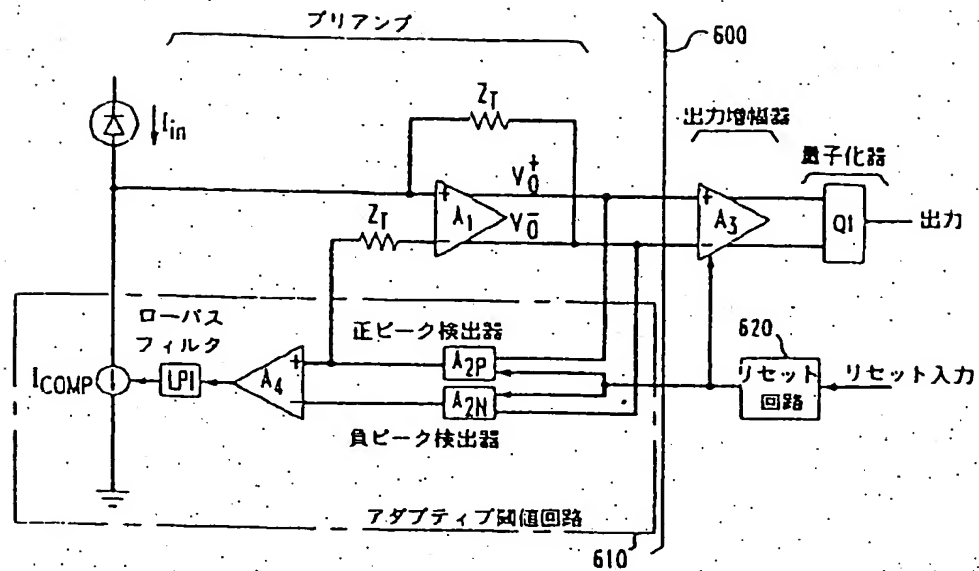
【図5】



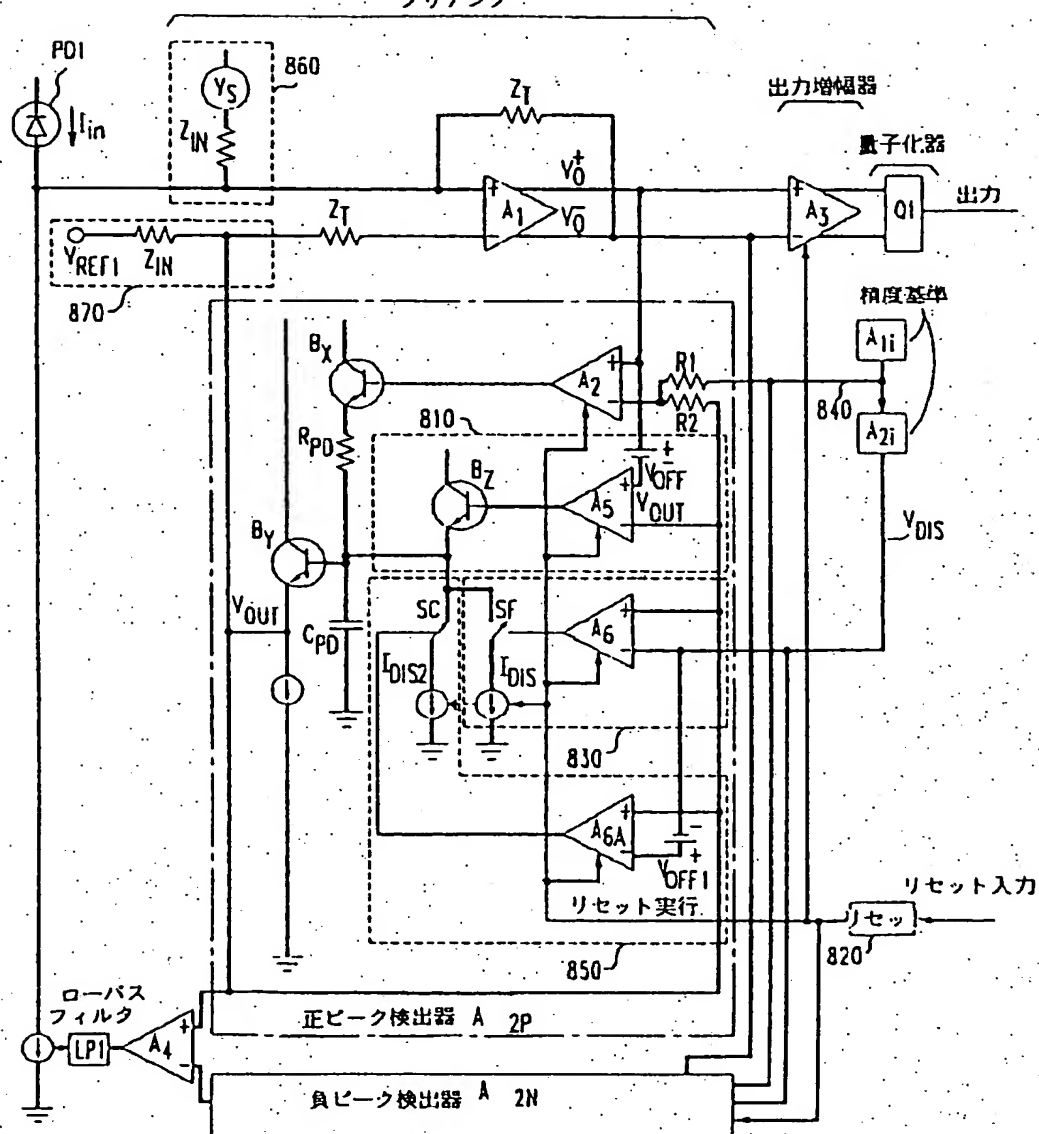
【図7】



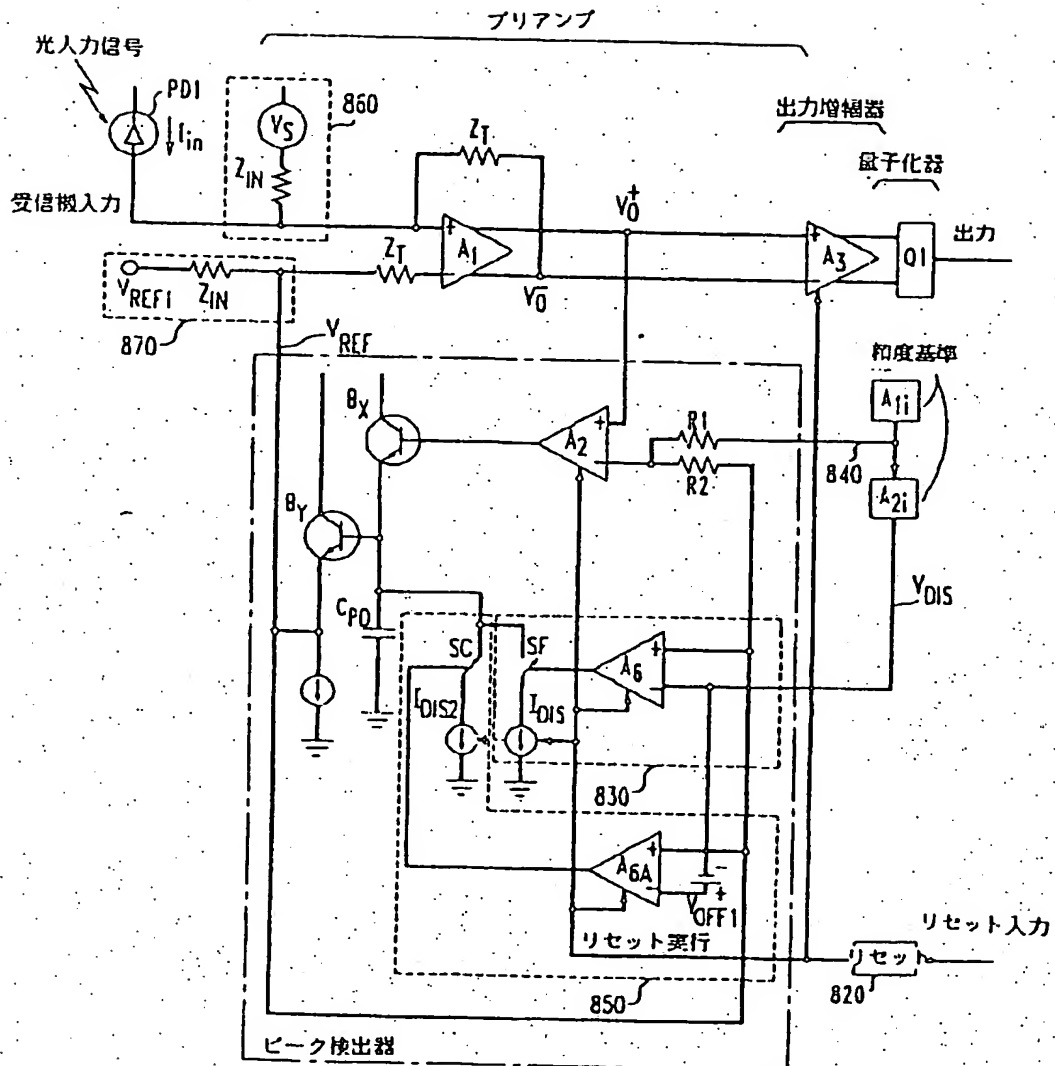
【図6】



ブリアンプ



ブリアンプ



(72) 発明者 ロバート ジェラルド スワーツ
アメリカ合衆国 ニュージャージー、ティン
トン フォールズ、ウェリントン ドライ
ブ、65.